

# エピタキシャル基板を用いた半導体デバイスの ESD 特性

ESD Characteristics of Semiconductor Device with Epitaxy on P+ Substrate

鈴木 輝夫 伊藤 誠吾 門馬 秀夫\*

Teruo Suzuki Seigo Ito Hideo Monma

富士通 V L S I 株式会社 V L S I 研究所

VLSI Laboratory, FUJITSU VLSI LIMITED

\*富士通株式会社 半導体第1事業本部 ファブ事業部

\* FAB Business & Engineering Div. Logic LSI Group FUJITSU LIMITED

## 【要旨】

近年、結晶中の欠陥の減少、リーク特性の改善、ラッチアップ耐量の向上などを図るため Epi 基板が用いられるようになってきた。今回、Epi 基板と CZ 基板との ESD 特性を比較調査することにより、Epi 厚が薄い基板は、放電抵抗(保護抵抗)を挿入すると微少リーク電流が発生し、ESD が弱くなることがわかった。この微少リークの発生原因は、基板の低抵抗化および放電抵抗挿入により、ESD 保護回路の動作が遅延して、pn 接合に過剰ストレスがかかった為である。

## 1.はじめに

半導体デバイスの微細化、高密度化、シャロー化が加速し、性能は飛躍的に向上してきているが、ESD (Electro Static Discharge) に対してはむしろ弱くなってきている [1][2]。また、保護回路は外部から侵入する ESD サージを速やかに吸収し内部回路の破壊を防ぐことが目的であるが、最近のプロセスは保護回路自体の ESD 耐圧低下が指摘されてきている [3][4][5][6]。例えば、保護回路に LDD トランジスタを用いるとゲート・ドレインのオーバーラップ領域でリーク電流が発生し易くなったり、配線の微細化、コンタクトサイズの縮小化によって、pn 接合よりも Al-Si 界面で放電エネルギー損失が大きくなり、熱破壊が発生し易くなった指摘もある [7][8]。また、ゲート・ソース・ドレインのシリサイド化によるシート抵抗の低下は、トランジスタの性能向上に反比例して ESD 耐圧の低下をもたらす傾向にある [9]。

最近では、結晶中の細微な欠陥も無視できなくなり、エピタキシャル(以下 Epi)基板が用いられるようになってきた。Epi 化によって回路のリーク特性は大幅に改善され、ラッチアップ耐量の向上、マイクロラフネス低減による酸化膜質の向上、メモリのリフレッシュ特性の向上などの効果があるが [10]、ESD 耐量はどうか。本報告では Epi 基板と CZ (Czochralski method) 基板

の ESD 特性を比較して、破壊にいたる動作メカニズムの解明と問題点、更に最適な保護回路構造について検討を行った。

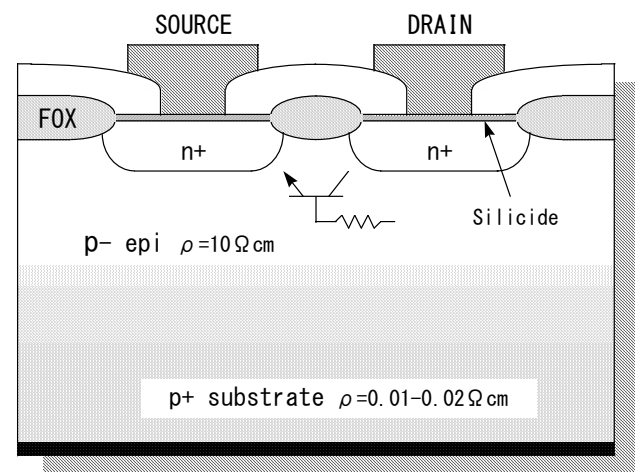


図1 Epi 基板 保護回路の断面略図

## References

- [1] Y.Fong and C.Hu, "The Effects of High Electric Field Transients on Thin Gate Oxide MOSFETs", EOS/ESD Symposium Proc., pp.252-257,1987.
- [2] Joop Bruines and Leo Sevat, "An Analysis of Low Voltage ESD Damage in Advanced CMOS Processes," EOS/ESD Symposium Proc., pp.143-150,1990.
- [3] Kiyohiro Muranaka, "ESD Level in LDD MOS Structure" ,Japan(RCJ), EOS/ESD Symposium, E-2, pp.9-14,1991.
- [4] M.Satsutani, Y.kataoka and T.Wada, "Study of the Leakage Current on ESD Phenomena" ,Japan(RCJ), EOS/ESD Symposium, pp.41-46,1995.
- [5] Y.Fukuda , K.Kato and E.Umemura, "The Relation between Waveform and Threshold Voltages on ESD Testing Method of Semiconductor Devices" , Japan(RCJ), EOS/ESD Symposium,5E-04, pp.47-52,1995.
- [6] Y.Fukuda, I.Kurachi and K.Yamaguti, "New ESD Failure Phenomena of LDD Transistor" ,Japan(RCJ), EOS/ESD Symposium, 2E-01, pp.1-6,1992.
- [7] Kueing-Long Chen, "The Effects of Interconnect Process and Snapback Voltage on the ESD Failure Threshold of NMOS Transistors" ,IEEE Trans. Electron Device, Vol.35, NO.12, pp.2140-2150,1988.
- [8] K.Suzuki, Y.Yaguthi and M.Sato, "Elimination of Electrostatic Problems for LSI" ,Japan(RCJ), EOS/ESD Symposium, 4E-05, pp.27-37,1994.
- [9] Thomas L. Polgreen and Amitava Chatterjee, "Improving the ESD Failure Threshold of Silicided n-MOS Output Transistors By Ensuring Uniform Current Flow" ,IEEE Trans. Electron Device, Vol.39, NO.2, pp.379-388,1992.
- [10] Sun S.Kim and W.Wijaranakula,"The Effect of the Crystal Grown-in Defects on the Pulse Tail Characteristics of Megabit Dynamic Random Access Memory Devices",Journal of ElectroChemical Society,Vol.141,No.7, pp.1872-1878,1994.
- [11]Fu-Chieh Hsh,Ping-Keung Ko,Simon Tam,Chenming Hu and Richard S.Muller , "An Analytical Breakdown Model for Short-Channel MOSFET's" ,IEEE Trans. Electron Device, Vol ED-29, No.11, pp.1735-1740,1982.
- [12] N.Maeda,Y.Kataoka,K.Matsushita and T.Wada, "ESD Phenomena in Scaled Semiconductor Device",TECHNICAL REPORT OF IEICE, R90-65, pp.47-52, 1991.